

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-136121  
 (43) Date of publication of application : 21. 05. 1999

(51) Int. Cl. H03K 19/0948  
 H01L 27/118  
 H03K 19/173

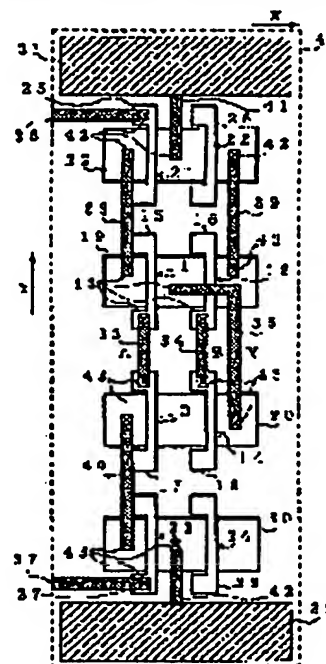
(21) Application number : 09-299159 (71) Applicant : MITSUBISHI ELECTRIC CORP  
 (22) Date of filing : 30. 10. 1997 (72) Inventor : HAYAKAWA YASUSHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT, MACRO CELL, BASIC CELL AND TRANSISTOR ARRAY

### (57) Abstract:

PROBLEM TO BE SOLVED: To perform a high-speed operation at a low voltage without malfunctioning of a semiconductor integrated circuit.

SOLUTION: A transistor pair composed of a first PMOS transistor 11 and a first NMOS transistor 13 and another transistor pair composed of a second PMOS transistor 12 and a second NMOS transistor 14 are arranged in a columnar direction. Adjacent to the first and second PMOS transistors, a PMOS transistor 21 for power supply control and a non-use PMOS transistor 22 are arranged in the columnar direction while aligning the position of gate electrodes with the gate electrodes 15 and 16. Also, adjacent to the first and second MOS transistors, an NMOS transistor 23 for the power supply control and an non-use NMOS transistor 24 are arranged in the columnar direction while aligning the position of the gate electrodes with the gate electrodes 17 and 18.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-136121

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 19/0948

H 0 3 K 19/094

B

H 0 1 L 27/118

19/173

H 0 3 K 19/173

H 0 1 L 21/82

M

審査請求 未請求 請求項の数15 O L (全 17 頁)

(21) 出願番号

特願平9-299159

(22) 出願日

平成9年(1997)10月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 早川 康

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

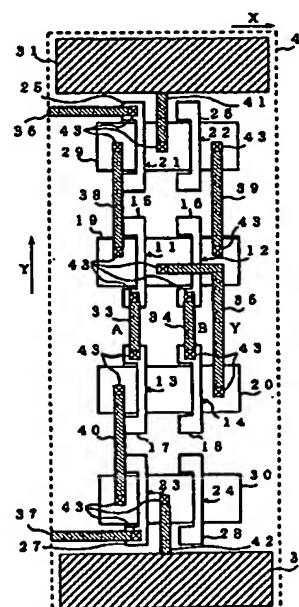
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 半導体集積回路、マクロセル、基本セルおよびトランジスタアレイ

(57) 【要約】

【課題】 半導体集積回路が誤動作を起こす課題があった。

【解決手段】 第1のPMOSTランジスタ11、第1のNMOSTランジスタ13から成るトランジスタペアと第2のPMOSTランジスタ12、第2のNMOSTランジスタ14から成るトランジスタペアとが列方向に配置され、第1、第2のPMOSTランジスタに隣接して、ゲート電極15、16とゲート電極の位置を揃えて、電源制御用PMOSTランジスタ21と不使用PMOSTランジスタ22とが列方向に配置されている。また、第1、第2のNMOSTランジスタに隣接して、ゲート電極17、18とゲート電極の位置を揃えて、電源制御用NMOSTランジスタ23と不使用NMOSTランジスタ24とが列方向に配置されている。



11 : 高しきい値の第1のPMOSTランジスタ(高しきい値のNMOSTランジスタ)  
12 : 高しきい値の第2のPMOSTランジスタ(高しきい値のNMOSTランジスタ)  
13 : 高しきい値の第1のNMOSTランジスタ(高しきい値のNMOSTランジスタ)  
14 : 高しきい値の第2のNMOSTランジスタ(高しきい値のNMOSTランジスタ)  
21 : 高しきい値の電源制御用PMOSTランジスタ(高しきい値のNMOSTランジスタ)  
22 : 高しきい値の電源制御用PMOSTランジスタ(高しきい値のNMOSTランジスタ)  
23 : 高しきい値の電源制御用NMOSTランジスタ(高しきい値のNMOSTランジスタ)  
24 : 高しきい値の電源制御用NMOSTランジスタ(高しきい値のNMOSTランジスタ)

## 【特許請求の範囲】

【請求項1】 低しきい値のMOSトランジスタと該低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されたマクロセルから構成されたことを特徴とする半導体集積回路。

【請求項2】 低しきい値のMOSトランジスタと該低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されたことを特徴とするマクロセル。

【請求項3】 低しきい値のMOSトランジスタと該低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとから構成されたことを特徴とする基本セル。

【請求項4】 行方向にゲート電極の位置を揃えて順に配置された、1または複数の高しきい値のMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび1または複数の高しきい値のMOSトランジスタから成るトランジスタ群を列方向に複数配置して構成されたことを特徴とする請求項3記載の基本セル。

【請求項5】 行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のPMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のNMOSトランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSトランジスタと他方の基本セルの高しきい値のNMOSトランジスタとが対向するようにマトリクス状に配置して構成されたことを特徴とするトランジスタアレイ。

【請求項6】 行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のPMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のNMOSトランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSトランジスタと他方の基本セルの高しきい値のPMOSトランジスタとが対向するか、あるいは行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のNMOSトランジスタと他方の基本セルの高しきい値のNMOSトランジスタとが対向するようにマトリクス状に配置して構成されたことを特徴とするトランジスタアレイ。

【請求項7】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路において、低しきい値のMOSトランジスタと該低しきい値のMO

Sトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとを用いて形成されたマクロセルから構成され、

上記CMOS論理回路が上記低しきい値のMOSトランジスタを用いて形成され、上記電源制御回路が上記高しきい値のMOSトランジスタを用いて形成されたことを特徴とする半導体集積回路。

【請求項8】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路を形成するためのマクロセルにおいて、

低しきい値のMOSトランジスタと該低しきい値のMOSトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとを用いて形成され、

上記CMOS論理回路が上記低しきい値のMOSトランジスタを用いて形成され、上記電源制御回路が上記高しきい値のMOSトランジスタを用いて形成されることを特徴とするマクロセル。

【請求項9】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路を形成するためのマクロセルを形成するための基本セルにおいて、

低しきい値のMOSトランジスタと該低しきい値のMOSトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとから構成され、

上記CMOS論理回路が上記低しきい値のMOSトランジスタを用いて形成され、上記電源制御回路が上記高しきい値のMOSトランジスタを用いて形成されることを特徴とする基本セル。

【請求項10】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路において、

低しきい値の第MのMOSトランジスタと該第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとを用いて形成されたマクロセルから構成され、

上記CMOS論理回路が上記第MのMOSトランジスタを用いて形成され、上記電源制御回路が上記第NのMOSトランジスタを用いて形成されたことを特徴とする半導体集積回路。

【請求項11】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路を形成するためのマクロセルにおいて、

低しきい値の第MのMOSトランジスタと該第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとを用いて形成され、

上記CMOS論理回路が上記第MのMOSトランジスタを用いて形成され、上記電源制御回路が上記第NのMOSトランジスタを用いて形成されることを特徴とするマクロセル。

【請求項12】 CMOS論理回路に電流を供給する経

路に電源制御回路が設けられた半導体集積回路を形成するためのマクロセルを形成するための基本セルにおいて、

低しきい値の第MのMOSトランジスタと該第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとから構成され、  
上記CMOS論理回路が上記第MのMOSトランジスタを用いて形成され、上記電源制御回路が上記第NのMOSトランジスタを用いて形成されることを特徴とする基本セル。

【請求項13】 行方向にゲート電極の位置を揃えて順に配置された、1または複数の第NのMOSトランジスタ、1または複数の第MのMOSトランジスタおよび1または複数の第NのMOSトランジスタから成るトランジスタ群を列方向に複数配置して構成されたことを特徴とする請求項12記載の基本セル。

【請求項14】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路を形成するためのトランジスタアレイにおいて、

行方向にゲート電極の位置を揃えて順に配置された、第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSトランジスタおよび第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのNMOSTランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、

上記CMOS論理回路が上記第MのMOSトランジスタを用いて形成され、上記電源制御回路が上記第NのPMOSTランジスタおよび上記第NのNMOSTランジスタを用いて形成されることを特徴とするトランジスタアレイ。

【請求項15】 CMOS論理回路に電流を供給する経路に電源制御回路が設けられた半導体集積回路を形成するためのトランジスタアレイにおいて、

行方向にゲート電極の位置を揃えて順に配置された、第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSトランジスタおよび第MのMOSトランジスタよりゲート長が大きい1または複数の第Nの低しきい値のNMOSTランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するよう

セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、

上記CMOS論理回路が上記第MのMOSトランジスタを用いて形成され、上記電源制御回路が上記第NのPMOSTランジスタおよびまたは上記第NのNMOSTランジスタを用いて形成されることを特徴とするトランジスタアレイ。

【発明の詳細な説明】

【0001】

- 10 【発明の属する技術分野】 この発明は、低電圧で高速動作が可能な半導体集積回路、この半導体集積回路を形成するためのマスタスライス方式のマクロセル、このマクロセルを形成するための基本セルおよびこの基本セルをマトリクス状に配置した構成のトランジスタアレイに関するものである。

【0002】

- 【従来の技術】 近年、半導体集積回路を低電圧で高速動作させることが進められている。低電圧で高速動作が可能な半導体集積回路として、MT-CMOS (Multi-Threshold CMOS) 回路がある。

- 20 【0003】 MT-CMOS回路は、非動作時のリーク電流は大きいが高速度動作が可能な低しきい値のMOSトランジスタと動作速度は遅いが非動作時のリーク電流の小さい高しきい値のMOSトランジスタとを用いて形成される回路である。

- 30 【0004】 例えば、MT-CMOS回路として、CMOS論理回路を低しきい値のMOSトランジスタを用いて形成し、CMOS論理回路に電流を供給する経路に高しきい値のMOSトランジスタを用いて形成した電源制御回路を設けたものがある。

- 【0005】 より具体的には、MT-CMOS回路として、高電位電源線と低電位電源線との間に、低しきい値のPMOSTランジスタと低しきい値のNMOSTランジスタとを用いて形成したCMOS論理回路を接続し、高電位電源線と高電位電源との間に高しきい値のPMOSTランジスタを用いて形成した高電位側の電源制御回路を接続し、低電位電源線と低電位電源との間に高しきい値のNMOSTランジスタを用いて形成した低電位側の電源制御回路を接続して構成したものがある。

- 40 【0006】 このようなMT-CMOS回路では、CMOS論理回路を低しきい値のMOSトランジスタを用いて形成しているので、低電圧で高速動作が実現できる。また、CMOS論理回路に電流を供給する経路に高しきい値のMOSトランジスタを用いて形成した電源制御回路を設けているので、非動作時に、CMOS論理回路からのリーク電流を小さくすることができる。

- 50 【0007】 図7は、例えばCMOS論理回路が2入力NAND回路とインバータ回路とから成り、高電位側の電源制御回路が高しきい値のPMOSTランジスタ1個から成り、低電位側の電源制御回路が高しきい値のNM

OSトランジスタ1個から成るMT-CMOS回路の回路図である。図7において、101は高電位電源線、102は低電位電源線、103は高電位電源線101と低電位電源線102との間に接続された2入力NAND回路、104は高電位電源線101と低電位電源線102との間に接続されたインバータ回路、105は高電位電源(VDD)、106は低電位電源(GND)、107は高電位電源線101と高電位電源105との間に接続された高しきい値(例えば、しきい値の絶対値が0.7V程度;以下、同様)の電源制御用PMOSTランジスタ、108は低電位電源線102と低電位電源106との間に接続された高しきい値の電源制御用NMOSTランジスタである。電源制御用PMOSTランジスタ107のゲートには電源制御用のActive信号が入力し、電源制御用NMOSTランジスタ108のゲートにはその相補信号(以下、Activeバー信号という)が入力する。

【0008】2入力NAND回路103において、109、110は低しきい値(例えば、しきい値の絶対値が0.2V程度;以下、同様)の第1、第2のPMOSTランジスタ、111、112は低しきい値の第1、第2のNMOSTランジスタである。

【0009】インバータ回路104において、113は低しきい値の第3のPMOSTランジスタ、114は低しきい値の第3のNMOSTランジスタである。

【0010】図8はMT-CMOS回路から成る従来の半導体集積回路の構成図である。図8において、121は半導体基板、122はMT-CMOS回路が形成されている内部領域、123は入出力バッファ用セルが形成されている周辺領域、124は内部領域122のうち、低しきい値のMOSTランジスタが形成されている低しきい値MOSTランジスタ領域、125は内部領域122のうち、高しきい値のMOSTランジスタが形成されている高しきい値MOSTランジスタ領域、126は低しきい値MOSTランジスタ領域124において、低しきい値のMOSTランジスタを用いて形成されたマクロセル、127は高しきい値MOSTランジスタ領域125において、高しきい値のMOSTランジスタを用いて形成された高しきい値MOSTランジスタ回路、128はマクロセル126間を接続するセル間配線、129はマクロセル126と高しきい値MOSTランジスタ回路127とを接続する領域間配線である。

【0011】この場合、マクロセル126間をセル間配線128で接続することによりCMOS論理回路が形成され、高しきい値MOSTランジスタ回路127を用いて高電位側および低電位側の電源制御回路が形成され、マクロセル126と高しきい値MOSTランジスタ回路127とを領域間配線129で接続してMT-CMOS回路が形成されている。ただし、1個のマクロセルを用いてCMOS論理回路が形成される場合もある。

【0012】図9は特開平8-18021号公報に示された、MT-CMOS回路から成る従来の半導体集積回路の構成図である。図9において、131は半導体基板、132はMT-CMOS回路が形成されている内部領域、133は入出力バッファ用セル133aが形成されている周辺領域、134は内部領域132のうち、低しきい値のMOSTランジスタを用いて形成された基本セル134aがマトリクス状に配置されている低しきい値MOSTランジスタ領域、135は内部領域132のうち、高しきい値のMOSTランジスタを用いて形成された基本セル135aが一行又はマトリクス状に配置されている高しきい値MOSTランジスタ領域である。

【0013】この場合も、上記の場合と同様に、低しきい値MOSTランジスタ領域134において低しきい値のMOSTランジスタを用いて形成されたマクロセル間をセル間配線で接続することによりCMOS論理回路が形成され、高しきい値MOSTランジスタ領域135において高しきい値のMOSTランジスタを用いて形成された高しきい値MOSTランジスタ回路を用いて高電位側および低電位側の電源制御回路が形成され、マクロセルと高しきい値MOSTランジスタ回路とを領域間配線で接続してMT-CMOS回路が形成されている。ただし、1個のマクロセルを用いてCMOS論理回路が形成される場合もある。

【0014】以下、MT-CMOS回路から成る従来の半導体集積回路として、CMOS論理回路が1個のマクロセルを用いて形成され、高電位側および低電位側の電源制御回路が高しきい値MOSTランジスタ回路を用いて形成され、CMOS論理回路が2入力NAND回路から成り、高電位側の電源制御回路が高しきい値のPMOSTランジスタから成り、低電位側の電源制御回路が高しきい値のNMOSTランジスタから成る回路(図7中の四角形で囲んだX部分に相当する回路)を形成した場合について説明する。

【0015】図10は従来のマクロセルの構成図である。図10において、141、142は低しきい値の第1、第2のPMOSTランジスタ、143、144は低しきい値の第1、第2のNMOSTランジスタ、145、146は第1、第2のPMOSTランジスタ141、142のゲート電極、147、148は第1、第2のNMOSTランジスタ143、144のゲート電極、149は第1、第2のPMOSTランジスタ141、142のソース又はドレインとして機能する拡散領域、150は第1、第2のNMOSTランジスタ143、144のソース又はドレインとして機能する拡散領域、151は高電位電源線、152は低電位電源線、153~158は第1~第6の導電性配線、159はビアホールである。第1の導電性配線153には2入力NAND回路への一方の入力信号が入力し、第2の導電性配線154には2入力NAND回路への他方の入力信号が入力し、

第3の導電性配線155には2入力NAND回路からの出力信号が出力する。図10中のA、B、Yは図7中のA、B、Yと対応している。なお、図10には、図を簡略化するため、第1～第6の導電性配線153～158の上層に形成される配線は図示していない。

【0016】図11は従来の高しきい値MOSトランジスタ回路の構成図である。図11において、161は高しきい値の電源制御用PMOSTランジスタ、162は高しきい値の不使用PMOSTランジスタ、163は高しきい値の電源制御用NMOSTランジスタ、164は高しきい値の不使用NMOSTランジスタ、165は電源制御用PMOSTランジスタ161のゲート電極、166は不使用PMOSTランジスタ162のゲート電極、167は電源制御用NMOSTランジスタ163のゲート電極、168は不使用PMOSTランジスタ164のゲート電極、169は電源制御用PMOSTランジスタ161のソース又はドレインとして機能する拡散領域、170は電源制御用NMOSTランジスタ163のソース又はドレインとして機能する拡散領域、171は高電位電源と接続している電源線、172は低電位電源と接続している電源線、173～178は第7～第12の導電性配線、179はビアホールである。第7の導電性配線173には電源制御用PMOSTランジスタ161のゲート電極165への電源制御用のActive信号が入力し、第8の導電性配線174には電源制御用NMOSTランジスタ163のゲート電極167へのActiveバー信号が入力する。第9の導電性配線175は図10中の高電位電源線151と接続し、第10の導電性配線176は図10中の低電位電源線152と接続する。第9、第10の導電性配線175、176は図8中の領域間配線129に相当する。なお、図11には、図を簡略化するため、第7～第12の導電性配線173～178の上層に形成される配線は図示していない。

【0017】次に図7を参照してMT-CMOS回路の動作について説明する。MT-CMOS回路は、通常動作時と非動作時との2つの動作モードがある。

【0018】通常動作時には、Active信号を“H”、Activeバー信号を“L”とする。これによって、電源制御用PMOSTランジスタ107および電源制御用NMOSTランジスタ108が導通し、高電位電源線101が高電位電源105と等電位にバイアスされ、低電位電源線102が低電位電源106と等電位にバイアスされ、2入力NAND回路103およびインバータ回路104に電源が供給される。このとき、2入力NAND回路103およびインバータ回路104は通常のCMOS回路と同じ動作をする。

【0019】非動作時には、Active信号を“L”、Activeバー信号を“H”とする。これによって、電源制御用PMOSTランジスタ107および電源制御用NMOSTランジスタ108が非導通とな

り、高電位電源線101および低電位電源線102がフローティング状態となり、2入力NAND回路103およびインバータ回路104への電源の供給が停止される。このとき、2入力NAND回路103およびインバータ回路104からのリーク電流がカットされる。

【0020】

【発明が解決しようとする課題】従来の半導体集積回路は以上のように構成されているので、低しきい値のMOSトランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSトランジスタを用いて形成された電源制御回路とを接続する配線が長くなる。すなわち、CMOS論理回路と電源制御回路とを接続する配線の抵抗が大きくなる。従って、電源制御回路を介してCMOS論理回路に供給する電源の電位が低くなり、半導体集積回路が誤動作を起こすという課題があった。

【0021】この発明は上記のような課題を解決するためになされたもので、配線長に起因する誤動作が起らず、かつ低電圧で高速動作が可能な半導体集積回路を得ることを目的とする。

【0022】また、この発明はこの半導体集積回路を形成するためのマスラス方式のマクロセルを得ることを目的とする。

【0023】さらに、この発明はこのマクロセルを形成するための基本セルを得ることを目的とする。

【0024】さらに、この発明はこの基本セルをマトリクス状に配置した構成のトランジスタアレイを得ることを目的とする。

【0025】

【課題を解決するための手段】この発明に係る半導体集積回路は、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されたマクロセルから構成されたものである。

【0026】この発明に係るマクロセルは、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されたものである。

【0027】この発明に係る基本セルは、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとから構成されたものである。

【0028】この発明に係る基本セルは、行方向にゲート電極の位置を揃えて順に配置された、1または複数の高しきい値のMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび1または複数の高しきい値のMOSトランジスタから成るトランジスタ群を列方向に複数配置して構成されたものである。

【0029】この発明に係るトランジスタアレイは、行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSトランジスタよりしきい値が高い1また



は複数の高しきい値のPMOSTランジスタ、1または複数の低しきい値のMOSTランジスタおよび低しきい値のMOSTランジスタよりしきい値が高い1または複数の高しきい値のNMOSTランジスタから成るランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のNMOSTランジスタとが対向するようにマトリクス状に配置して構成されたものである。

【0030】この発明に係るランジスタアレイは、行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSTランジスタよりしきい値が高い1または複数の高しきい値のPMOSTランジスタ、1または複数の低しきい値のMOSTランジスタおよび低しきい値のMOSTランジスタよりしきい値が高い1または複数の高しきい値のNMOSTランジスタから成るランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のPMOSTランジスタとが対向するか、あるいは行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のNMOSTランジスタと他方の基本セルの高しきい値のNMOSTランジスタとが対向するようにマトリクス状に配置して構成されたものである。

【0031】この発明に係る半導体集積回路は、低しきい値のMOSTランジスタとこの低しきい値のMOSTランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSTランジスタとを用いて形成されたマクロセルから構成され、CMOS論理回路が低しきい値のMOSTランジスタを用いて形成され、電源制御回路が高しきい値のMOSTランジスタを用いて形成されたものである。

【0032】この発明に係るマクロセルは、低しきい値のMOSTランジスタとこの低しきい値のMOSTランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSTランジスタとを用いて形成され、CMOS論理回路が低しきい値のMOSTランジスタを用いて形成され、電源制御回路が高しきい値のMOSTランジスタを用いて形成されるものである。

【0033】この発明に係る基本セルは、低しきい値のMOSTランジスタとこの低しきい値のMOSTランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSTランジスタとから構成され、CMOS論理回路が低しきい値のMOSTランジスタを用いて形成され、電源制御回路が高しきい値のMOSTランジスタを用いて形成されるものである。

【0034】この発明に係る半導体集積回路は、低しきい値の第MのMOSTランジスタとこの第MのMOSTランジスタよりゲート長が大きい低しきい値の第NのM

OSTランジスタとを用いて形成されたマクロセルから構成され、CMOS論理回路が第MのMOSTランジスタを用いて形成され、電源制御回路が第NのMOSTランジスタを用いて形成されたものである。

【0035】この発明に係るマクロセルは、低しきい値の第MのMOSTランジスタとこの第MのMOSTランジスタよりゲート長が大きい低しきい値の第NのMOSTランジスタとを用いて形成され、CMOS論理回路が第MのMOSTランジスタを用いて形成され、電源制御回路が第NのMOSTランジスタを用いて形成されるものである。

【0036】この発明に係る基本セルは、低しきい値の第MのMOSTランジスタとこの第MのMOSTランジスタよりゲート長が大きい低しきい値の第NのMOSTランジスタとから構成され、CMOS論理回路が第MのMOSTランジスタを用いて形成され、電源制御回路が第NのMOSTランジスタを用いて形成されるものである。

【0037】この発明に係る基本セルは、行方向にゲート電極の位置を揃えて順に配置された、1または複数の第NのMOSTランジスタ、1または複数の第MのMOSTランジスタおよび1または複数の第NのMOSTランジスタから成るランジスタ群を列方向に複数配置して構成されたものである。

【0038】この発明に係るランジスタアレイは、行方向にゲート電極の位置を揃えて順に配置された、第MのMOSTランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSTランジスタおよび第MのMOSTランジスタよりゲート長が大きい1または複数の低しきい値の第NのNMOSTランジスタから成るランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、CMOS論理回路が第MのMOSTランジスタを用いて形成され、電源制御回路が第NのPMOSTランジスタおよび第NのNMOSTランジスタを用いて形成されるものである。

【0039】この発明に係るランジスタアレイは、行方向にゲート電極の位置を揃えて順に配置された、第MのMOSTランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSTランジスタおよび第MのMOSTランジスタよりゲート長が大きい1または複数の第Nの低しきい値のNMOSTランジスタから成るランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのPMOSTランジスタとが対向するか、あ



るいは行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのNMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、CMOS論理回路が第MのMOSTランジスタを用いて形成され、電源制御回路が第NのPMOSTランジスタおよびまたは第NのNMOSTランジスタを用いて形成されるものである。

【0040】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. この発明の実施の形態1では、CMOS論理回路が非動作時のリーク電流は大きいが高速度動作が可能で低しきい値のMOSTランジスタを用いて形成され、CMOS論理回路に電流を供給する経路に動作速度は遅いが非動作時のリーク電流の小さい高しきい値のMOSTランジスタを用いて形成された電源制御回路が設けられている半導体集積回路について説明する。

【0041】図1はこの発明の実施の形態1による半導体集積回路の構成図である。図1において、1は半導体基板、2は半導体集積回路が形成されている内部領域、3は入出力バッファ用セルが形成されている周辺領域、4は内部領域2において、低しきい値のMOSTランジスタと高しきい値のMOSTランジスタとを用いて形成されたマクロセル、5はマクロセル4間を接続するセル間配線である。内部領域2には高しきい値のMOSTランジスタと低しきい値のMOSTランジスタとが形成されている。

【0042】この場合、マクロセル4間をセル間配線5で接続することにより、低しきい値のMOSTランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSTランジスタを用いて形成された高電位側および低電位側の電源制御回路と、CMOS論理回路と電源制御回路とを用いて形成された半導体集積回路とが形成されている。ただし、1個のマクロセルでCMOS論理回路並びに高電位側および低電位側の電源制御回路とが形成される場合もある。すなわち、1個のマクロセルで半導体集積回路が形成される場合もある。

【0043】以上のように、この実施の形態1によれば、半導体集積回路が、低しきい値のMOSTランジスタと高しきい値のMOSTランジスタとを用いて形成されたマクロセルから構成されているので、低しきい値のMOSTランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSTランジスタを用いて形成された電源制御回路とを接続する配線が従来より短くなり、半導体集積回路が誤動作を起こす恐れが小さくなる効果が得られる。

【0044】実施の形態2. この発明の実施の形態2および後述するこの発明の実施の形態3では、実施の形態1の半導体集積回路として、CMOS論理回路並びに高電位側および低電位側の電源制御回路が1個のマクロセ

ルを用いて形成され、CMOS論理回路が2入力NAND回路から成り、高電位側の電流制御回路が高しきい値のPMOSTランジスタ1個から成り、低電位側の電流制御回路が高しきい値のNMOSTランジスタ1個から成る回路（図7中の四角形で囲んだX部分に相当する回路）を形成した場合におけるマクロセルについて説明する。

【0045】図2はこの発明の実施の形態2によるマクロセルの構成図である。図2において、11、12は低しきい値の第1、第2のPMOSTランジスタ（低しきい値のMOSTランジスタ）、13、14は低しきい値の第1、第2のNMOSTランジスタ（低しきい値のMOSTランジスタ）、15、16は第1、第2のPMOSTランジスタ11、12のゲート電極、17、18は第1、第2のNMOSTランジスタ13、14のゲート電極、19は第1、第2のPMOSTランジスタ11、12のソース又はドレインとして機能する拡散領域、20は第1、第2のNMOSTランジスタ13、14のソース又はドレインとして機能する拡散領域である。

【0046】また、21は高しきい値の電源制御用PMOSTランジスタ（高しきい値のMOSTランジスタ）、22は高しきい値の不使用PMOSTランジスタ（高しきい値のMOSTランジスタ）、23は高しきい値の電源制御用NMOSTランジスタ（高しきい値のMOSTランジスタ）、24は高しきい値の不使用NMOSTランジスタ（高しきい値のMOSTランジスタ）、25は電源制御用PMOSTランジスタ21のゲート電極、26は不使用PMOSTランジスタ22のゲート電極、27は電源制御用NMOSTランジスタ23のゲート電極、28は不使用NMOSTランジスタ24のゲート電極、29は電源制御用PMOSTランジスタ21のソース又はドレインとして機能する拡散領域、30は電源制御用NMOSTランジスタ23のソース又はドレインとして機能する拡散領域、31は高電位電源と接続している電源線、32は低電位電源と接続している電源線である。

【0047】また、33～42は第1～第10の導電性配線、43はビアホールである。第1の導電性配線33は第1のPMOSTランジスタ11のゲート電極15と第1のNMOSTランジスタ13のゲート電極17とを接続する。第2の導電性配線34は第2のPMOSTランジスタ12のゲート電極16と第2のNMOSTランジスタ14のゲート電極18とを接続する。第3の導電性配線35は第1、第2のPMOSTランジスタ11、12のソース又はドレインとして機能する拡散領域19と第1、第2のNMOSTランジスタ13、14のソース又はドレインとして機能する拡散領域20とを接続する。第4の導電性配線36は電源制御用PMOSTランジスタ21のゲート電極25に接続する。第5の導電性配線37は電源制御用NMOSTランジスタ23のゲ

ト電極27に接続する。第6、第7の導電性配線38、39は第1、第2のPMOSTランジスタ11、12のソース又はドレインとして機能する拡散領域19と電源制御用PMOSTランジスタ21のソース又はドレインとして機能する拡散領域29とを接続する。

【0048】第8の導電性配線40は第1、第2のNMOSTランジスタ13、14のソース又はドレインとして機能する拡散領域20と電源制御用NMOSTランジスタ23のソース又はドレインとして機能する拡散領域30とを接続する。第9の導電性配線41は電源制御用PMOSTランジスタ21のソース又はドレインとして機能する拡散領域29と高電位電源と接続している電源線31とを接続する。第10の導電性配線42は電源制御用NMOSTランジスタ23のソース又はドレインとして機能する拡散領域30と低電位電源と接続している電源線32とを接続する。第1の導電性配線33には2入力NAND回路への一方の入力信号が入力し、第2の導電性配線34には2入力NAND回路への他方の入力信号が入力し、第3の導電性配線35には2入力NAND回路からの出力信号が出力し、第4の導電性配線36には電源制御用PMOSTランジスタ21のゲート電極25への電源制御用のActive信号が入力し、第5の導電性配線37には電源制御用NMOSTランジスタ23のゲート電極27へのActiveバー信号が入力する。図2中のA、B、Yは図7中のA、B、Yと対応している。なお、図2には、図を簡略化するため、第1～第10の導電性配線33～42の上層に形成される配線は図示していない。

【0049】この発明の実施の形態2のマクロセルでは、行方向（図2中のY方向）にゲート電極の位置を揃えて配置された低しきい値のPMOSTランジスタおよび低しきい値のNMOSTランジスタから成るランジスタペアが列方向（図2中のX方向）に2つ配置されている。すなわち、第1のPMOSTランジスタ11および第1のNMOSTランジスタ13から成るランジスタペアと第2のPMOSTランジスタ12および第2のNMOSTランジスタ14から成るランジスタペアとが列方向に配置されている。この2つのランジスタペアを用いて、2入力NAND回路から成るCMOS論理回路が形成されている。

【0050】また、第1、第2のPMOSTランジスタ11、12に隣接して、第1、第2のPMOSTランジスタ11、12のゲート電極15、16とゲート電極の位置を揃えて、高しきい値のPMOSTランジスタが列方向に2つ配置されている。すなわち、電源制御用PMOSTランジスタ21と不使用PMOSTランジスタ22とが列方向に配置されている。電源制御用PMOSTランジスタ21を用いて、高しきい値のPMOSTランジスタ1個から成る高電位側の電流制御回路が形成されている。

【0051】また、第1、第2のNMOSTランジスタ13、14に隣接して、第1、第2のNMOSTランジスタ13、14のゲート電極17、18とゲート電極の位置を揃えて、高しきい値のNMOSTランジスタが列方向に2つ配置されている。すなわち、電源制御用NMOSTランジスタ23と不使用NMOSTランジスタ24とが列方向に配置されている。電源制御用NMOSTランジスタ23を用いて、高しきい値のPMOSTランジスタ1個から成る高電位側の電流制御回路が形成されている。

【0052】以上のように、この実施の形態2によれば、マクロセルが、低しきい値のMOSTランジスタと高しきい値のMOSTランジスタとを用いて形成されているので、低しきい値のMOSTランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSTランジスタを用いて形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果が得られる。

20 【0053】実施の形態3。図3はこの発明の実施の形態3によるマクロセルの構成図である。図3において、51は高電位電源線、52は低電位電源線、53～58は第11～第16の導電性配線である。第11、第12の導電性配線53、54は第1、第2のPMOSTランジスタ11、12のソース又はドレインとして機能する拡散領域19と高電位電源線51とを接続する。第13の導電性配線55は第1、第2のNMOSTランジスタ13、14のソース又はドレインとして機能する拡散領域20と低電位電源線52とを接続する。第14、第15の導電性配線56、57は電源制御用PMOSTランジスタ21のソース又はドレインとして機能する拡散領域29と高電位電源線51とを接続する。第16の導電性配線58は電源制御用NMOSTランジスタ23のソース又はドレインとして機能する拡散領域30と低電位電源線52とを接続する。その構成要素は、図2で同一符号を付して示したものと同一あるいは同等であるため、その詳細な説明は省略する。

40 【0054】以上のように、この実施の形態3によれば、マクロセルが、低しきい値のMOSTランジスタと高しきい値のMOSTランジスタとを用いて形成されているので、実施の形態2と同様の効果が得られる。また、高電位電源線および低電位電源線をそれぞれ他のマクロセルの高電位電源線および低電位電源線に接続することにより、第1、第2のPMOSTランジスタ11、12のソース又はドレインとして機能する拡散領域19と電源制御用PMOSTランジスタ21のソース又はドレインとして機能する拡散領域29とを接続する部分の配線、および第1、第2のNMOSTランジスタ13、14のソース又はドレインとして機能する拡散領域20と電源制御用NMOSTランジスタ23のソース又はド

レインとして機能する拡散領域30とを接続する部分の配線のインピーダンスが実施の形態1の場合より小さくなる効果が得られる。

【0055】実施の形態4. この発明の実施の形態4では、実施の形態2および実施の形態3のマクロセルを形成するための基本セルについて説明する。

【0056】図4はこの発明の実施の形態4による基本セルの構成図である。図4において、61、62は低しきい値の第1、第2のPMOSTランジスタ（低しきい値のMOSTランジスタ）、63、64は低しきい値の第1、第2のNMOSTランジスタ（低しきい値のMOSTランジスタ）、65、66は第1、第2のPMOSTランジスタ61、62のゲート電極、67、68は第1、第2のNMOSTランジスタ63、64のゲート電極、69は第1、第2のPMOSTランジスタ61、62のソース又はドレインとして機能する拡散領域、70は第1、第2のNMOSTランジスタ63、64のソース又はドレインとして機能する拡散領域である。

【0057】また、71、72は高しきい値の第3、第4のPMOSTランジスタ（高しきい値のMOSTランジスタ）、73、74は高しきい値の第3、第4のNMOSTランジスタ（高しきい値のMOSTランジスタ）、75、76は第3、第4のPMOSTランジスタ71、72のゲート電極、77、78は第3、第4のNMOSTランジスタ73、74のゲート電極、79は第3、第4のPMOSTランジスタ71、72のソース又はドレインとして機能する拡散領域、80は第3、第4のNMOSTランジスタ73、74のソース又はドレインとして機能する拡散領域である。

【0058】この発明の実施の形態4の基本セルでは、行方向（図4中のY方向）にゲート電極の位置を揃えて配置された低しきい値のPMOSTランジスタおよび低しきい値のNMOSTランジスタから成るランジスタペアが列方向（図4中のX方向）に2つ配置されている。すなわち、第1のPMOSTランジスタ61および第1のNMOSTランジスタ63から成るランジスタペアと第2のPMOSTランジスタ62および第2のNMOSTランジスタ64から成るランジスタペアとが列方向に配置されている。

【0059】また、第1、第2のPMOSTランジスタ61、62に隣接して、第1、第2のPMOSTランジスタ61、62のゲート電極65、66とゲート電極の位置を揃えて、高しきい値のPMOSTランジスタが列方向に2つ配置されている。すなわち、第3のPMOSTランジスタ71と第4のPMOSTランジスタ72とが列方向に配置されている。

【0060】また、第1、第2のNMOSTランジスタ63、64に隣接して、第1、第2のNMOSTランジスタ63、64のゲート電極67、68とゲート電極の位置を揃えて、高しきい値のNMOSTランジスタが列

方向に2つ配置されている。すなわち、第3のNMOSTランジスタ73と第4のNMOSTランジスタ74とが列方向に配置されている。

【0061】要するに、この発明の実施の形態4の基本セルでは、行方向にゲート電極の位置を揃えて順に配置された高しきい値のPMOSTランジスタ、低しきい値のPMOSTランジスタ、低しきい値のNMOSTランジスタおよび高しきい値のNMOSTランジスタから成るランジスタ群が列方向に2つ配置されている。すなわち、第3のPMOSTランジスタ71、第1のPMOSTランジスタ61、第1のNMOSTランジスタ63および第3のNMOSTランジスタ73から成るランジスタ群と第4のPMOSTランジスタ72、第2のPMOSTランジスタ62、第2のNMOSTランジスタ64および第4のNMOSTランジスタ74から成るランジスタ群とが列方向に配置されている。

【0062】以上のように、この実施の形態4によれば、基本セルが、低しきい値のMOSTランジスタと高しきい値のMOSTランジスタとから構成されているので、低しきい値のMOSTランジスタで形成されたCMOS論理回路と、高しきい値のMOSTランジスタで形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果が得られる。また、この実施の形態4によれば、基本セルが、行方向にゲート電極の位置を揃えて順に配置された1つの高しきい値のMOSTランジスタ、2つの低しきい値のMOSTランジスタおよび1つの高しきい値のMOSTランジスタから成るランジスタ群を列方向に2つ配置して構成されているので、この基本セルを用いてマクロセルを形成する際に、高しきい値のMOSTランジスタが列方向に配置している領域の高しきい値のMOSTランジスタを使用しない場合には、その領域を配線領域として用いることができる効果が得られる。

【0063】実施の形態5. この発明の実施の形態5および後述するこの発明の実施の形態6では、実施の形態4の基本セルをマトリクス状に配置した構成のランジスタアレイについて説明する。

【0064】図5はこの発明の実施の形態5によるランジスタアレイの構成図である。図5において、81～84は第1～第4の基本セル（基本セル）である。その構成要素は、図4で同一符号を付して示したものと同一あるいは同等であるため、その詳細な説明は省略する。

【0065】この発明の実施の形態5のランジスタアレイでは、基本セルが、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のNMOSTランジスタとが対向するようにマトリクス状に配置されている。すなわち、第1～第4の基本セル81～84が、

第1の基本セル81の第3、第4のPMOSTランジスタ71、72と第2の基本セル82の第3、第4のNMOSTランジスタ73、74とが対向し、第3の基本セル83の第3、第4のPMOSTランジスタ71、72と第4の基本セル84の第3、第4のNMOSTランジスタ73、74とが対向するようにマトリクス状に配置されている。

【0066】以上のように、この実施の形態5によれば、トランジスタアレイが、基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のNMOSTランジスタとが対向するようにマトリクス状に配置して構成されているので、高しきい値のPMOSTランジスタおよび高しきい値のNMOSTランジスタを用いて形成される電源制御回路が効率的に配置されている小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0067】実施の形態6. 図6はこの発明の実施の形態6によるトランジスタアレイの構成図である。図6において、91~94は第1~第4の基本セル（基本セル）である。その構成要素は、図4で同一符号を付して示したものと同一あるいは同等であるため、その詳細な説明は省略する。

【0068】この発明の実施の形態6のトランジスタアレイでは、基本セルが、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のPMOSTランジスタとが対向するようにマトリクス状に配置されている。すなわち、第1~第4の基本セル91~94が、第1の基本セル91の第3、第4のPMOSTランジスタ71、72と第2の基本セル92の第3、第4のPMOSTランジスタ71、72とが対向し、第3の基本セル93の第3、第4のPMOSTランジスタ71、72と第4の基本セル94の第3、第4のPMOSTランジスタ71、72とが対向するようにマトリクス状に配置されている。

【0069】以上のように、この実施の形態6によれば、トランジスタアレイが、基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のPMOSTランジスタとが対向するようにマトリクス状に配置して構成されているので、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSTランジスタと他方の基本セルの高しきい値のPMOSTランジスタとが同一ウェルに形成され行方向に隣接する2つの基本セルの間隔が小さい小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0070】実施の形態7. この発明の実施の形態7で

は、実施の形態1の半導体集積回路、実施の形態2および実施の形態3のマクロセル、実施の形態4の基本セルにおいて、高しきい値のMOSTランジスタが、低しきい値のMOSTランジスタよりゲート長が大きい場合について説明する。

【0071】しきい値が同じMOSTランジスタでは、ゲート長が大きい程、リーク電流は小さい。

【0072】従って、実施の形態1の半導体集積回路において、高しきい値のMOSTランジスタが、低しきい値のMOSTランジスタよりゲート長が大きい場合、実施の形態1と同様の効果が得られると共に、非動作時における半導体集積回路のリーク電流が小さくなる効果が得られる。

【0073】また、実施の形態2および実施の形態3のマクロセルにおいて、高しきい値のMOSTランジスタが、低しきい値のMOSTランジスタよりゲート長が大きい場合、実施の形態2および実施の形態3と同様の効果が得られると共に、非動作時におけるリーク電流が小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果が得られる。

【0074】また、実施の形態4の基本セルにおいて、高しきい値のMOSTランジスタが、低しきい値のMOSTランジスタよりゲート長が大きい場合、実施の形態4と同様の効果が得られると共に、非動作時におけるリーク電流が小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果が得られる。

【0075】実施の形態8. この発明の実施の形態8では、実施の形態1の半導体集積回路、実施の形態2および実施の形態3のマクロセル、実施の形態4の基本セル、実施の形態5、実施の形態6のトランジスタアレイにおいて、高しきい値のMOSTランジスタの代わりに、低しきい値のMOSTランジスタよりゲート長が大きい、他の低しきい値のMOSTランジスタを用いた場合について説明する。以下、実施の形態1から実施の形態6において用いた低しきい値のMOSTランジスタを低しきい値の第MのMOSTランジスタとし、実施の形態1から実施の形態6において用いた高しきい値のMOSTランジスタの代わりに用いた低しきい値のMOSTランジスタを低しきい値の第NのMOSTランジスタとして説明する。

【0076】しきい値が同じMOSTランジスタでは、ゲート長が大きい程、リーク電流は小さい。

【0077】従って、実施の形態1の半導体集積回路において、高しきい値のMOSTランジスタの代わりに、低しきい値の第MのMOSTランジスタよりゲート長が大きい低しきい値の第NのMOSTランジスタを用いた場合、半導体集積回路が、低しきい値の第MのMOSTランジスタと低しきい値の第NのMOSTランジスタとを用いて形成されたマクロセルから構成されているの

で、第MのMOSトランジスタを用いて形成されたCMOS論理回路と、第NのMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短くなり、半導体集積回路が誤動作を起こす恐れが小さくなる効果が得られる。また、非動作時における半導体集積回路のリーク電流が小さくなる効果が得られる。

【0078】また、実施の形態2および実施の形態3のマクロセルにおいて、高しきい値のMOSトランジスタの代わりに、低しきい値の第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタを用いた場合、マクロセルが、低しきい値の第MのMOSトランジスタと低しきい値の第NのMOSトランジスタとを用いて形成されているので、第MのMOSトランジスタを用いて形成されたCMOS論理回路と、第NのMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果が得られる。また、非動作時におけるリーク電流が小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果が得られる。

【0079】また、実施の形態4の基本セルにおいて、高しきい値のMOSトランジスタの代わりに、低しきい値の第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタを用いた場合、基本セルが、低しきい値の第MのMOSトランジスタと低しきい値の第NのMOSトランジスタとから構成されているので、第MのMOSトランジスタで形成されたCMOS論理回路と、第NのMOSトランジスタで形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果が得られる。また、基本セルが、行方向にゲート電極の位置を揃えて順に配置された1つの低しきい値の第NのMOSトランジスタ、2つの低しきい値の第MのMOSトランジスタおよび1つの低しきい値の第NのMOSトランジスタから成るトランジスタ群を列方向に2つ配置して構成されているので、この基本セルを用いてマクロセルを形成する際に、第MのMOSトランジスタが列方向に配置している領域の第MのMOSトランジスタを使用しない場合には、その領域を配線領域として用いることができる効果が得られる。また、非動作時におけるリーク電流が小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果が得られる。また、高しきい値のMOSトランジスタを形成する必要がないため、基本セルを形成する際に用いるマスクの枚数が削減でき、基本セルを形成する際のコストを安くできる効果が得られる。

【0080】また、実施の形態5のトランジスタアレイ

において、高しきい値のMOSトランジスタの代わりに、低しきい値の第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタを用いた場合、トランジスタアレイが、基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの低しきい値の第NのPMOSトランジスタと他方の基本セルの低しきい値の第NのNMOSトランジスタとが対向するようにマトリクス状に配置して構成されているので、第NのPMOSトランジスタおよび第NのNMOSトランジスタを用いて形成される電源制御回路が効率的に配置されている小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0081】また、実施の形態6のトランジスタアレイにおいて、高しきい値のMOSトランジスタの代わりに、低しきい値の第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタを用いた場合、トランジスタアレイが、基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの低しきい値の第NのPMOSトランジスタと他方の基本セルの低しきい値の第NのPMOSトランジスタとが対向するようにマトリクス状に配置して構成されているので、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSトランジスタと他方の基本セルの第NのPMOSトランジスタとが同一ウェルに形成され行方向に隣接する2つの基本セルの間隔が小さい小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0082】

【発明の効果】以上のように、この発明によれば、半導体集積回路を、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されたマクロセルから構成されるように構成したので、半導体集積回路が誤動作を起こす恐れが小さくなる効果がある。

【0083】この発明によれば、マクロセルを、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとを用いて形成されるように構成したので、誤動作を起こす恐れが小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果がある。

【0084】この発明によれば、基本セルを、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高い高しきい値のMOSトランジスタとから構成されるように構成したので、誤動作を起こす恐れが小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果がある。

【0085】この発明によれば、基本セルを、行方向に



ゲート電極の位置を揃えて順に配置された、1または複数の高しきい値のMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび1または複数の高しきい値のMOSトランジスタから成るトランジスタ群を列方向に複数配置して構成されるように構成したので、この基本セルを用いてマクロセルを形成する際に、高しきい値のMOSトランジスタが列方向に配置している領域の高しきい値のMOSトランジスタを使用しない場合には、その領域を配線領域として用いることができる効果がある。

【0086】この発明によれば、トランジスタアレイを、行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のPMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のNMOSトランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSトランジスタと他方の基本セルの高しきい値のNMOSトランジスタとが対向するようにマトリクス状に配置して構成されるように構成したので、小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0087】この発明によれば、トランジスタアレイを、行方向にゲート電極の位置を揃えて順に配置された、低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のPMOSトランジスタ、1または複数の低しきい値のMOSトランジスタおよび低しきい値のMOSトランジスタよりしきい値が高い1または複数の高しきい値のNMOSトランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のPMOSトランジスタと他方の基本セルの高しきい値のPMOSトランジスタとが対向するか、あるいは行方向に隣接する2つの基本セルのうちの一方の基本セルの高しきい値のNMOSトランジスタと他方の基本セルの高しきい値のNMOSトランジスタとが対向するようにマトリクス状に配置して構成されるように構成したので、小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果が得られる。

【0088】この発明によれば、半導体集積回路を、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとを用いて形成されたマクロセルから構成され、CMOS論理回路が低しきい値のMOSトランジスタを用いて形成され、電源制御回路が高しきい値のMOSトランジスタを用いて形成さ

れるように構成したので、低しきい値のMOSトランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短くなり、半導体集積回路が誤動作を起こす恐れが小さくなる効果がある。また、非動作時における半導体集積回路のリーク電流が小さくなる効果がある。

【0089】この発明によれば、マクロセルを、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとを用いて形成され、CMOS論理回路が低しきい値のMOSトランジスタを用いて形成され、電源制御回路が高しきい値のMOSトランジスタを用いて形成されるものとして構成したので、低しきい値のMOSトランジスタを用いて形成されたCMOS論理回路と、高しきい値のMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果がある。また、非動作時におけるリーク電流が小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果がある。

【0090】この発明によれば、基本セルを、低しきい値のMOSトランジスタとこの低しきい値のMOSトランジスタよりしきい値が高くかつゲート長が大きい高しきい値のMOSトランジスタとから構成され、CMOS論理回路が低しきい値のMOSトランジスタを用いて形成され、電源制御回路が高しきい値のMOSトランジスタを用いて形成されるものとして構成したので、低しきい値のMOSトランジスタで形成されたCMOS論理回路と、高しきい値のMOSトランジスタで形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果がある。また、非動作時におけるリーク電流が小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果がある。

【0091】この発明によれば、半導体集積回路を、低しきい値の第MのMOSトランジスタとこの第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとを用いて形成されたマクロセルから構成され、CMOS論理回路が第MのMOSトランジスタを用いて形成され、電源制御回路が第NのMOSトランジスタを用いて形成されるように構成したので、第MのMOSトランジスタを用いて形成されたCMOS論理回路と、第NのMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短くなり、半導体集積回路が誤動作を起こす恐れが小さくなる効果がある。また、非動作時における半導体集積回路の

リーク電流が小さくなる効果がある。

【0092】この発明によれば、マクロセルを、低しきい値の第MのMOSトランジスタとこの第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとを用いて形成され、CMOS論理回路が第MのMOSトランジスタを用いて形成され、電源制御回路が第NのMOSトランジスタを用いて形成されるものとして構成したので、第MのMOSトランジスタを用いて形成されたCMOS論理回路と、第NのMOSトランジスタを用いて形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果がある。また、非動作時におけるリーク電流が小さい半導体集積回路を、このマクロセルを用いて容易に形成することができる効果がある。

【0093】この発明によれば、基本セルを、低しきい値の第MのMOSトランジスタとこの第MのMOSトランジスタよりゲート長が大きい低しきい値の第NのMOSトランジスタとから構成され、CMOS論理回路が第MのMOSトランジスタを用いて形成され、電源制御回路が第NのMOSトランジスタを用いて形成されるものとして構成したので、第MのMOSトランジスタで形成されたCMOS論理回路と、第NのMOSトランジスタで形成された電源制御回路とを接続する配線が従来より短いため誤動作を起こす恐れが小さい半導体集積回路を容易に形成することができるマクロセルを、この基本セルを用いて容易に形成することができる効果がある。また、高しきい値のMOSトランジスタを形成する必要がないため、基本セルを形成する際に用いるマスクの枚数が削減でき、基本セルを形成する際のコストを安くできる効果がある。

【0094】この発明によれば、基本セルを、行方向にゲート電極の位置を揃えて順に配置された、1または複数の第NのMOSトランジスタ、1または複数の第MのMOSトランジスタおよび1または複数の第NのMOSトランジスタから成るトランジスタ群を列方向に複数配置して構成されるように構成したので、この基本セルを用いてマクロセルを形成する際に、第NのMOSトランジスタが列方向に配置している領域の第NのMOSトランジスタを使用しない場合には、その領域を配線領域として用いることができる効果がある。

【0095】この発明によれば、トランジスタアレイを、行方向にゲート電極の位置を揃えて順に配置された、第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSトランジスタおよび第MのMOSトランジスタよりゲート長が大

きい1または複数の低しきい値の第NのNMOSTランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、CMOS論理回路が第MのMOSトランジスタを用いて形成され、電源制御回路が第NのPMOSTランジスタおよび第NのNMOSTランジスタを用いて形成されるものとして構成したので、第NのPMOSTランジスタおよび第NのNMOSTランジスタを用いて形成される電源制御回路が効率的に配置されている小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果がある。

【0096】この発明によれば、行方向にゲート電極の位置を揃えて順に配置された、第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのPMOSTランジスタ、1または複数の低しきい値の第MのMOSトランジスタおよび第MのMOSトランジスタよりゲート長が大きい1または複数の低しきい値の第NのNMOSTランジスタから成るトランジスタ群を列方向に複数配置した構成の基本セルを、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのPMOSTランジスタとが対向するか、あるいは行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのNMOSTランジスタと他方の基本セルの第NのNMOSTランジスタとが対向するようにマトリクス状に配置して構成され、CMOS論理回路が第MのMOSトランジスタを用いて形成され、電源制御回路が第NのPMOSTランジスタおよびまたは第NのNMOSTランジスタを用いて形成されるものとして構成したので、行方向に隣接する2つの基本セルのうちの一方の基本セルの第NのPMOSTランジスタと他方の基本セルの第NのPMOSTランジスタとが同一ウェルに形成され行方向に隣接する2つの基本セルの間隔が小さい小面積の半導体集積回路を、このトランジスタアレイを用いて容易に形成することができる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路の構成図である。

【図2】 この発明の実施の形態2によるマクロセルの構成図である。

【図3】 この発明の実施の形態3によるマクロセルの構成図である。

【図4】 この発明の実施の形態4による基本セルの構成図である。

【図5】 この発明の実施の形態5によるトランジスタアレイの構成図である。

【図6】 この発明の実施の形態6によるトランジスタ



アレイの構成図である。

【図7】 MT-CMOS回路の回路図である。

【図8】 従来の半導体集積回路の構成図である。

【図9】 特開平8-18021号公報に示された、従来の半導体集積回路の構成図である。

【図10】 従来のマクロセルの構成図である。

【図11】 従来の高しきい値MOSTランジスタ回路の構成図である。

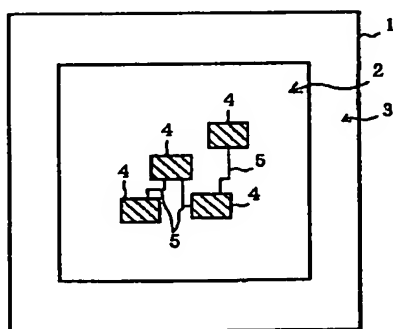
【符号の説明】

4 マクロセル、11、61 低しきい値の第1のPM  
OSTランジスタ（低しきい値のMOSTランジ  
スタ）、12、62 低しきい値の第2のPMOSTラン  
ジスタ（低しきい値のMOSTランジスタ）、13、6  
3 低しきい値の第1のNMOSTランジスタ（低しき  
い値のMOSTランジスタ）、14、64 低しきい値の  
第2のNMOSTランジスタ（低しきい値のMOSTラ  
ンジスタ）、21 高しきい値の電源制御用PMOST

ランジスタ（高しきい値のMOSTランジスタ）、22

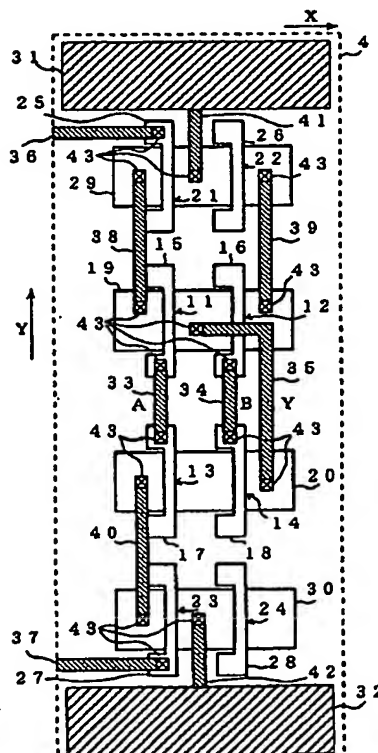
高しきい値の不使用PMOSTランジスタ（高しきい  
値のMOSTランジスタ）、23 高しきい値の電源制  
御用NMOSTランジスタ（高しきい値のMOSTラン  
ジスタ）、24 高しきい値の不使用NMOSTランジ  
スタ（高しきい値のMOSTランジスタ）、71 高し  
きい値の第3のPMOSTランジスタ（高しきい値のM  
OSTランジスタ）、72 高しきい値の第4のPMO  
Sランジスタ（高しきい値のMOSTランジスタ）、  
73 高しきい値の第3のNMOSTランジスタ（高し  
きい値のMOSTランジスタ）、74 高しきい値の第4  
のNMOSTランジスタ（高しきい値のMOSTランジ  
スタ）、81、91 第1の基本セル（基本セル）、8  
2、92 第2の基本セル（基本セル）、83、93  
第3の基本セル（基本セル）、84、94 第4の基本  
セル（基本セル）。

【図1】



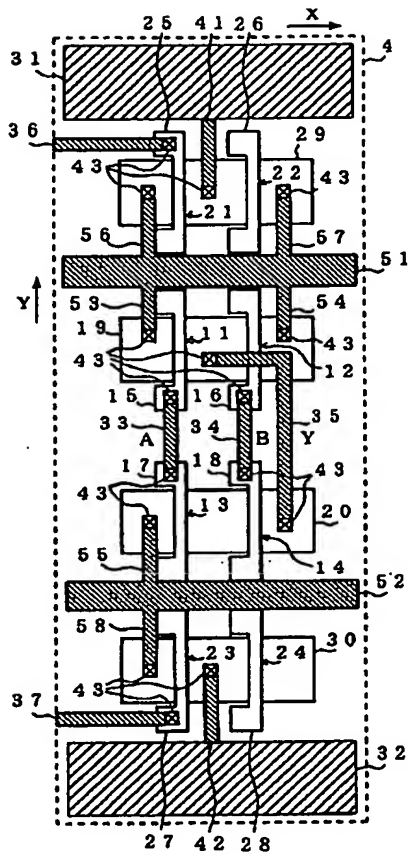
4 : マクロセル

【図2】

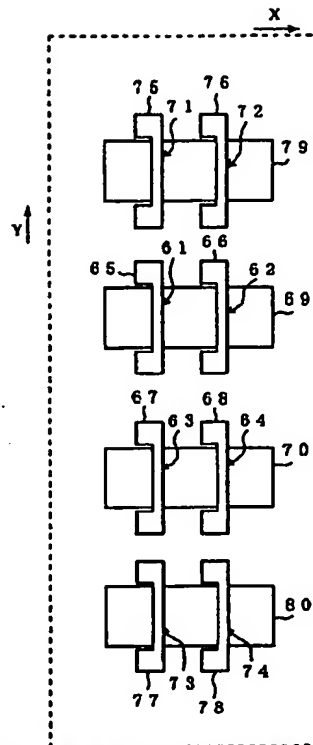


- 11 : 低しきい値の第1のPMOSTランジスタ(低しきい値のMOSTランジスタ)
- 12 : 低しきい値の第2のPMOSTランジスタ(低しきい値のMOSTランジスタ)
- 13 : 低しきい値の第1のNMOSTランジスタ(低しきい値のMOSTランジスタ)
- 14 : 低しきい値の第2のNMOSTランジスタ(低しきい値のMOSTランジスタ)
- 21 : 高しきい値の電源制御用PMOSTランジスタ(高しきい値のMOSTランジスタ)
- 22 : 高しきい値の不使用PMOSTランジスタ(高しきい値のMOSTランジスタ)
- 23 : 高しきい値の電源制御用NMOSTランジスタ(高しきい値のMOSTランジスタ)
- 24 : 高しきい値の不使用NMOSTランジスタ(高しきい値のMOSTランジスタ)

【図3】

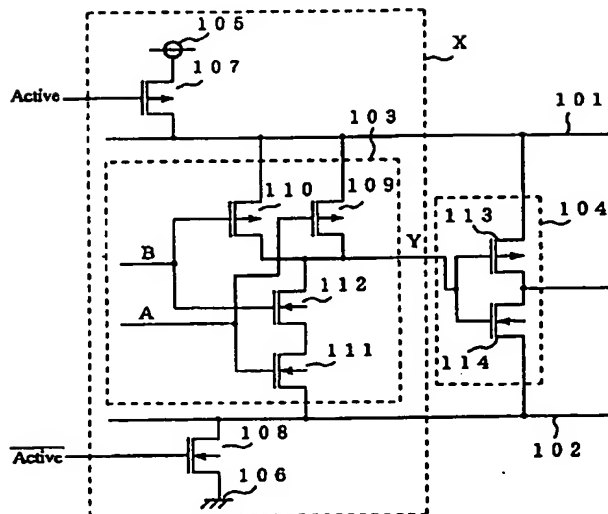


【図4】

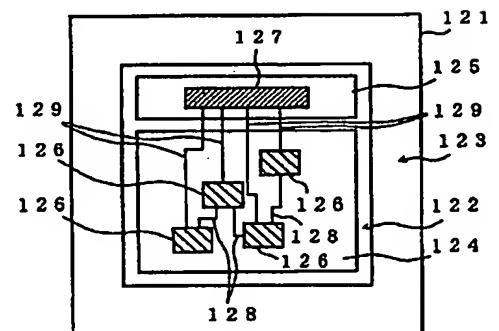


- 61: 低しきい値の第1のPMOSトランジスタ(低しきい値のMOSトランジスタ)  
 62: 低しきい値の第2のPMOSトランジスタ(低しきい値のMOSトランジスタ)  
 63: 低しきい値の第1のNMOSトランジスタ(低しきい値のMOSトランジスタ)  
 64: 低しきい値の第2のNMOSトランジスタ(低しきい値のMOSトランジスタ)  
 71: 高しきい値の第3のPMOSトランジスタ(高しきい値のMOSトランジスタ)  
 72: 高しきい値の第4のPMOSトランジスタ(高しきい値のMOSトランジスタ)  
 73: 高しきい値の第3のNMOSトランジスタ(高しきい値のMOSトランジスタ)  
 74: 高しきい値の第4のNMOSトランジスタ(高しきい値のMOSトランジスタ)

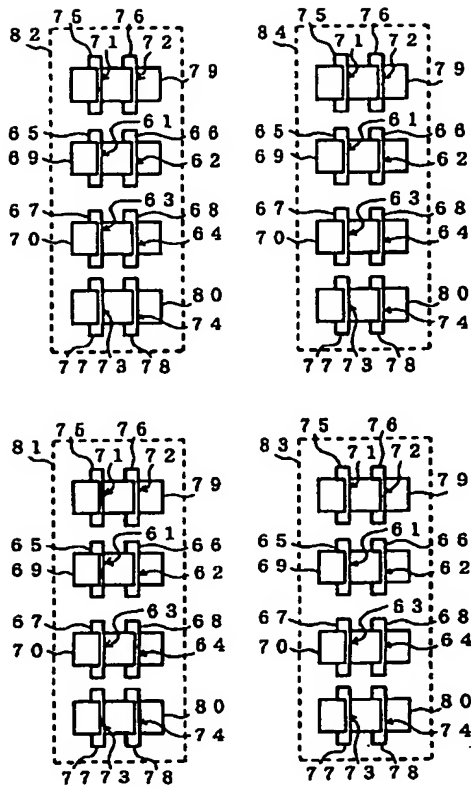
【図7】



【図8】

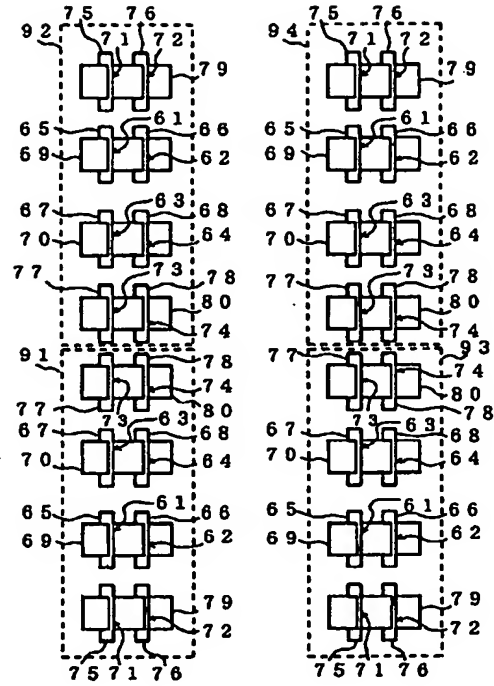


【図5】



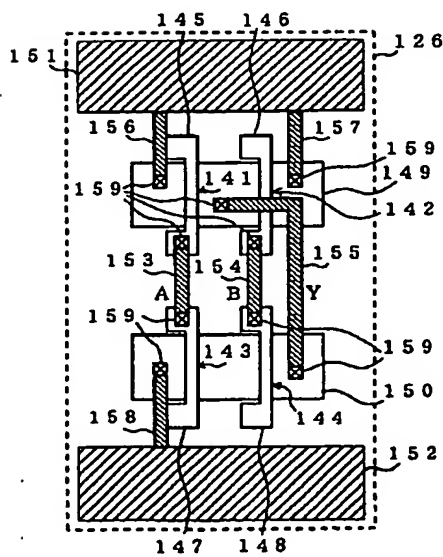
81：第1の基本セル（基本セル）  
 82：第2の基本セル（基本セル）  
 83：第3の基本セル（基本セル）  
 84：第4の基本セル（基本セル）

【図6】



91：第1の基本セル（基本セル）  
 92：第2の基本セル（基本セル）  
 93：第3の基本セル（基本セル）  
 94：第4の基本セル（基本セル）

【図10】



【図9】

